

赛灵思多平台Virtex-4 FPGA的性能及应用

赛灵思(Xilinx)的Virtex-4现场可编程门阵列(FPGA)是首款基于ASMBL(Advanced Silicon Modular Block)架构的多平台FPGA系列。通过采用不同的平台(LX、FX和SX), Virtex-4系列提供了最接近设计者需求的可编程逻辑解决方案。Virtex-4 FPGA 采用了多种新的结构模块, 以得到最大的吞吐量, 更高的集成度和更低的功耗, 从而在性能上达到了一个全新的水平。

要获得最佳的系统性能, 需要系统内高效元器件的平衡组合(逻辑、片上存储器、I/O等)。

本文首先描述了采用Virtex-4结构所能达到的性能水平。接下来, 举例说明如何在实际设计或性能基准上通过代码风格、工具设置和约束等方面的考虑来更好地利用这些性能。

基于客户设计的性能数据显示基于Virtex-4设计的逻辑性能据称比其他采用90nm工艺的FPGA高出43%, 并且平均快了一个速度级别。

从结构到模块均可运行于500-MHz 时钟频率

Virtex-4器件是用于高性能设计的理想平台, 其逻辑结构及内建模块都可工作在500MHz的时钟频率。例如, 在逻辑结构利用查找表(LUT)实现的许多功能, 如计数器、加法器和存储(RAM/ROM)等都可在此时钟速率下运行。内建的模块(存储器和DSP)也被设计为可在同样的速度下运行。

逻辑结构

基本的Virtex-4逻辑元件由一个4输入LUT和一个触发器, 以及其他的附加部分, 如功能扩展器(MUXF)以及一个算法单元(MULT_AND)组成。功能扩展器可支持创建更大的LUT结构(如5输入LUT或6输入LUT)。在RAM模式, Virtex-4 LUT可用作16位的存储单元、16位移位寄存器甚至是作为一个可加载LUT, 其内容在工作过程中可被改变。因而, Virtex-4 FPGA独特的RAM模式提供了非常高效的小型存储器。

DSP性能

Virtex-4 FPGA提供了比其它器件更多的DSP专用模块, 从而可实现256GAMC/s的DSP带宽。500MHz XtremeDSP模块(slice)可提供最高的性能、最低的功耗、以及功能最多的运算单元。它能够实现乘法-累加单元, 也可与其它类似模块进行级联, 以实现更大的设计架构, 如有限脉冲响应

(FIR)滤波器，而与此同时仍能保持工作在正常的速度。这种性能及可扩展性使Virtex-4 FPGA能够以前所未有的性能和集成度来实现DSP的关键功能，并无需占用通用的逻辑资源。除了DSP的功能，DSP模块(slice)还可被配置成工作于500MHz的计数器、桶型移位器、加法器、减法器、累加器以及其它功能。

片上RAM

每个Virtex-4 Block RAM 可存储18Kb的数据。与上一代产品相比，新模块增强的特点有：

- 新型内置流水线，具有新增的数据读出端寄存器，保持500MHz时钟。
- 两个相邻Block RAM可组合成一个更大的32 K×1存储器，而这不需要外部逻辑，也不会产生速度的下降。
- 能进行以字节为单位写入。
- 独特的内置多速率FIFO模式提供了地址排序以及控制电路，并无需额外的逻辑资源。FIFO模式提供满输出和空输出，以及可编程的近满(Almost Full)和近空(Almost Empty)标志，并可保证这些标志无毛刺的生成。
- 内置纠错控制(ECC)功能，块RAM在其中提供了可选的汉明码纠错及检查能力，以改善系统性能，提高效率并节省空间。

I/O带宽

最佳的系统性能需要FPGA和其它系统元器件之间具备高性能交互式链接。Virtex-4 FPGA是唯一能够提供速度高达11Gb/s 高速串行收发器的可编程器件。

嵌入式处理

Virtex-4 FPGA提供了内置的、增强的PowerPC 405内核，该核在450MHz下可提供680 DMIPS的性能。此外，还具有一个新型辅助处理器单元(APU)控制器。这个APU简化了与自定制协处理器及硬件加速器的连接，并提高了效率。

存储器接口

ChipSync技术实现了灵活和高性能的存储器接口应用。它提供了对时钟定位功能的独一无二的运行时间数据，增加了设计富余量，其精度达到了80ps。调节器补偿了器件不同和过程、电压以及温度参数的变化带来的影响。Virtex-4 FPGA的单端I/O口总线宽为432位，其速度达到600 Mb/s。

内置改善性能的技术

除了具备最高性能的逻辑、嵌入式模块和设计工具，您所获得的有效实际性能还取决于时钟/数据信号完整性、电源完善性、功率预算等。Virtex-4 FPGA提供的内置技术能为您提供以下最高有效性能：

- 低延迟、低抖动的500MHz差分时钟结构，大大扩展了其灵活性。
- 先进封装技术和倒装芯片组装技术，专利的ASMBL技术以及众多的电源和地线引脚，最大限度地降低了封装和PCB电感，从而提高了信号完整性。
- XCITE™技术提供了具有数控阻抗的片上信号终端。
- 更低的功耗意味着在功率预算范围内，你能够实现更多的性能。Virtex-4 FPGA采用90nm技术减少了动态功耗，同时采用三重氧化层技术降低了静态功耗。与上一代FPGA相比，净功耗降低到50%，而与其它采用90nm技术的竞争产品相比，更具有显著的优势。

性能优势

表1列出了运行于所列速度级别下的一些不同设计元件的性能(采用ISE6.3服务包3)。同时也与最接近的同类竞争FPGA产品(参见”FPGA-90 nm”一栏)进行了比较。

表1：不同速度级别下的Virtex-4性能

	Virtex -4 -10	FPGA- 90 nm 低速	Virtex -4 -11	FPGA -90 nm 中速	Virtex -4 -12	FPGA -90 nm 高速
乘法器(9 x 9 or 18 x 18)	400 MHz	268 MHz	450 MHz	322 MHz	500 MHz	370 MHz
8位数据宽度的 16拍FIR滤波 器	400 MHz	165 MHz	450 MHz	203 MHz	500 MHz	237 MHz
16K x 32-b RAM	527 MHz	306 MHz	610 MHz	326 MHz	643 MHz	370 MHz
16K x 64-b RAM	311 MHz	195 MHz	311 MHz	226 MHz	335 MHz	272 MHz
4K x 144-b RAM	400 MHz	289 MHz	450 MHz	309 MHz	500 MHz	350 MHz
64-bit Adder 加法器	205 MHz	173 MHz	221 MHz	208 MHz	245 MHz	239 MHz

48-bit 幅度比较器	335 MHz	170 MHz	364 MHz	205 MHz	401 MHz	238 MHz
高速串行I/O	6.25 Gb/s	无	10.3 Gb/s	无	11 Gb/s	无

用Virtex-4 FPGA实现FIR滤波器时，其性能与最接近的竞争产品相比高出142%，而在幅度比较器情况下，则高出97%。

设计输入，工具设置和约束

有些竞争厂商声称性能领先是建立在逻辑基准上，并采用不正确的方法、设置以及约束误导了Virtex-4 FPGA的性能。而用来估计性能基准的合理方法需要如下条件：

- 比较相似的器件速度级。
- 在综合过程中采用约束，直至Slack值为负。
- 在布局和布线过程中采用紧凑但合理的约束(如果约束过紧有可能降低性能)。
- 在综合及布局布线工具中，选用“High-effort”选项。
- 采用可比较的设置。仅在一个工具中“Retiming”是无法得到合理对比的。
- 约束重要时钟。采用通用全局约束只能提高设计中最慢的时钟。后文将提供如何使用Virtex-4 FPGA获得更好性能的一些指导。

设计输入

设计输入是获得高性能设计的关键阶段。硬件描述语言，例如Verilog HDL或VHDL，为Virtex-4 FPGA提供了高效的设计方法。为了得到可能的最佳结果，Xilinx推荐采用下面的代码风格，以获得器件的最佳实现。

首先也是最重要的，强烈推荐采用流水线设计，设计中的大量的寄存器的关键路径要短，并在专用区块中填充流水线的级数。适当的流水线级数能够保证有最大的吞吐量。

在表2中，左边的代码采用的是新型Block RAM，其中嵌有单级的流水线设计，与之对比右边的代码则为双级流水线设计，右边的代码性能提高了28%。

表2： 采用完全流水线操作的Block RAM⁽¹⁾

单级流水线	2级流水线
//Always at positive edge	//Always at positive edge clock

<pre> clock if (en & we) mem[addr] <= din; else dout <= mem[addr]; end </pre>	<pre> if (en & we) mem[addr] <= din; else begin dout_piped <= mem[addr]; dout <= dout_piped; end </pre>
时钟频率: 350 MHz	时钟频率: 450.0 MHz (+28%)

注:

1: 采用-11速率级别的Virtex-4器件。

另一个重要的提示是要避免使用目标模块中所无法支持的功能。例如，在乘法器之前或之后采用异步复位会妨碍这些寄存器合并到XtremeDSP模块(Slice)中，这是因为它的寄存器采用的是同步复位模式。如表3所示，这对性能的影响是非常大的。

表3: 复位对性能的影响⁽¹⁾

采用异步复位	采用同步复位
<pre> // Requires fabric flip-flops always at positive edge clock or negative edge reset if (~rst) prod <= 32'd0; else prod <= coeff * sample; </pre>	<pre> // Efficient use of XtremeDSP slice always at positive edge clock if (~rst) prod <= 32'd0; else prod <= coeff * sample; </pre>
3级流水线(16x16 乘法器): 时钟频率: 206.4 MHz	3级流水线(16x16 乘法器): 时钟频率: 450.0 MHz (+118%)

注:

采用-11速率级别的Virtex-4器件。

工具设置

为了获得尽可能最佳的性能，按照工具厂商的指导进行配置是非常重要的。例如，综合工具厂商推荐当穿过时钟域的时序不重要时，针对不同的时钟组单独约束时钟。而最重要的是要确保足够的时钟约束。

“Retiming” (a.k.a. 寄存器均衡)是一个可选项，通过移动逻辑层次间的寄存器来增大设计的性能。针对不同的设计，它能够充分改善时序。尽管

在自行进行的性能比较测试中Xilinx没有使用“Retiming”，但这项技术确实能够帮助实现性能目标。

其它要考虑的重要设置包括：

- 综合工具的“Resource Sharing”选项，一旦关闭，能够产生更好的结果。如果操作符位于关键路径，建议关闭。
- 如果状态机逻辑位于关键路径，综合工具的有限状态机(FSM)最优化也许会大大改善性能。这一优化应该开启。
- 当运行一个小型测试例子作为基准，并且只有内部性能需要考虑时(无需考虑I/O性能)，建议不使用I/O内部的触发器。

约束

尽管采用了适当的工具设置以及代码风格，综合、布局和布线仅能依据时序约束来提供最佳的结果。采用时序驱动综合工具，只有当得到一个负Slack值时，才表明设计的约束是足够的。

一般来讲，只要约束条件还合理，过度约束综合是一个好方法。此外还推荐对特别关注的某个时钟(或多个时钟)进行约束。全局的性能约束往往对设计中速度最慢的时钟起作用，这并不是设计所要求的。

综合之后，一旦采用约束，Xilinx ISE布局和布线可大大改善性能。

“Effort”级别也将对结果产生影响，因此推荐使用“High Effort”的约束以达到最佳的结果。

让我们看一下从[www.Opencores.org](http://www.opencores.org)获得的约束对于Verilog Reed-Solomon设计(rs_5_3_gf256) 的影响。

图1中的柱1显示的是在最低的“Effort”程度下，在综合和布局布线中都没有使用任何约束时获得的结果。

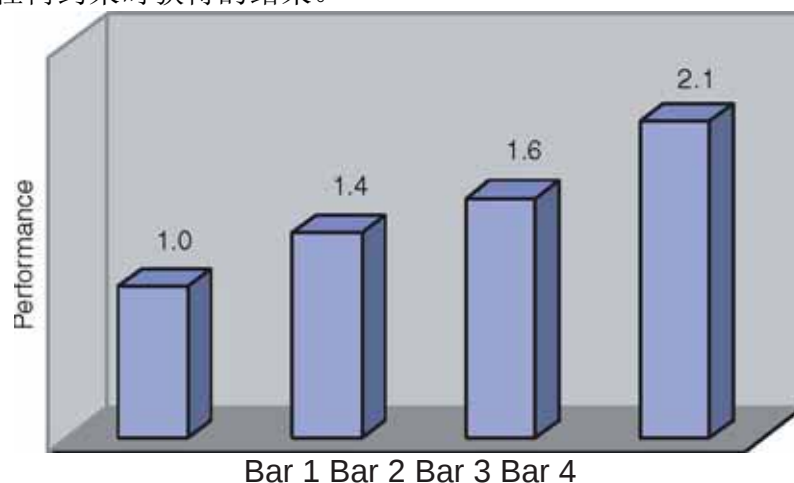


图1：性能变化

柱2显示的是在布局和布线中使用约束并将“Effort”设置为“High”时的结果。综合未采用约束。结果显示与原来的设置相比性能提高了40%。

柱3显示的是在综合以及布局布线中都使用约束，并且布局布线将“Effort”设置为“High”时，产生的新结果。此时的性能比最初提高了60%。

最右边的柱显示的是采用约束并用“Retiming”选项进行综合后的结果。我们能够从这个测试看到，在对工具进行约束后结果会显著改善。本例中，与没有使用任何约束时的最初设计相比，性能提高了一倍多。

在ISE中，特殊选项如“Timing-driven Map”或“Multi-pass Place and Route”能够进一步提高性能。这些选项使您在更高水平的使用中能够为设计带来充分的提高。

结论

Virtex-4 FPGA是第一个在多种设计构造模块(乘法器，加法器，存储块等等)中，均能够达到500MHz时钟的FPGA。在目前复杂的设计中要充分利用这种领先水平的性能，需要良好的代码风格，并且采用适当的工具设置及约束。与其它任何FPGA架构相比，Virtex-4系列都显示出了性能上的明显提升。通过提供不同的产品系列，Virtex-4平台为您提供了与设计需求最为匹配的解决方案。

作者：Frédéric Rivoallon